

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 07235649
PUBLICATION DATE : 05-09-95

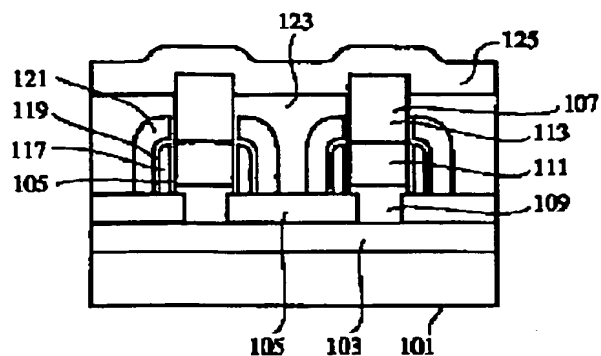
APPLICATION DATE : 25-02-94
APPLICATION NUMBER : 06027101

APPLICANT : TOSHIBA CORP;

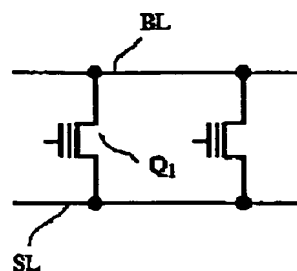
INVENTOR : YOSHIDA TORU;

INT.CL. : H01L 27/115

TITLE : MANUFACTURE OF NON-VOLATILE
SEMICONDUCTOR STORAGE DEVICE



(a)



(b)

ABSTRACT : PURPOSE: To lessen a memory cell enough in area through a simple manufacturing process by a method wherein a second conductive film is connected between adjacent semiconductor square rods, a flattening insulating film is buried between the semiconductor square rods, and a wiring layer connected to a first conductivity type conductive layer above the semiconductor square rods is formed.

CONSTITUTION: A polysilicon 117 formed on the side wall of a semiconductor square rod 107 is made to serve as a floating gate, and a polysilicon film 121 formed surrounding the floating gate is made to serve as a control gate 121. As a floating gate is formed on the side wall of a semiconductor square rod, it can be formed in a self-aligned manner. Furthermore, semiconductor square rods are reduced in space between them by the thickness of a floating gate, so that the polysilicon 121 is connected between adjacent semiconductor square rods when a polysilicon 121 is formed on the side wall of the floating gate through the intermediary of an insulating film 119. In result, a word line-shaped control gate connected between adjacent semiconductor square rods can be formed in a self-aligned manner.

COPYRIGHT: (C)1995,JPO

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-235649

(43) 公開日 平成7年(1995)9月5日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/115

7210-4M

H 0 1 L 27/ 10

4 3 4

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平6-27101

(22) 出願日 平成6年(1994)2月25日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 宮崎 洋一

大分市大字松岡3500番地 株式会社東芝大分工場内

(72) 発明者 吉田 透

大分市大字松岡3500番地 株式会社東芝大分工場内

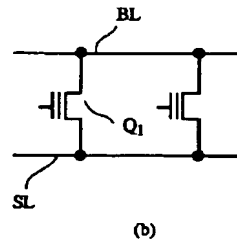
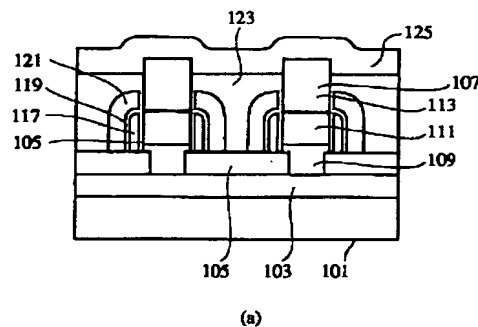
(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 不揮発性半導体記憶装置の製造方法

(57) 【要約】

【構成】 半導体基板の第1導電型の半導体領域上に第1導電型、第2導電型及び第1導電型の順に積層した導電層からなり、互いに隣接した複数の半導体角柱を形成する工程と、半導体角柱の第2導電型の導電層領域の側壁に第1の絶縁膜を介して各々独立した第1の導電膜を形成する工程と、第1の導電膜の側壁に第2の絶縁膜を介して第2の導電膜を形成し、隣接する複数の半導体角柱間でこの第2の導電膜を接続する工程と、半導体角柱間に平坦化用絶縁膜を埋め込む工程と、半導体角柱の上層の前記第1導電型の導電層と接続した配線層を形成する工程とを具備することを特徴とする不揮発性半導体記憶装置の製造方法。

【効果】 本発明を用いると、簡易な製造工程により、高密度メモリセルを実現した不揮発性半導体記憶装置の製造方法を実現できる。また、付随的な効果として、高速消去・高速読出動作が可能な不揮発性半導体記憶装置を提供できる。



【特許請求の範囲】

【請求項1】 半導体基板の第1導電型の半導体領域上に第1導電型、第2導電型及び第1導電型の順に積層した導電層からなり、互いに隣接した複数の半導体角柱を形成する工程と、

複数の前記半導体角柱の前記第2導電型の導電層領域の側壁に第1の絶縁膜を介して各々独立した第1の導電膜を形成する工程と、

複数の前記第1の導電膜の側壁に第2の絶縁膜を介して第2の導電膜を形成し、隣接する複数の半導体角柱間でこの第2の導電膜を接続する工程と、

前記半導体角柱間に平坦化用絶縁膜を埋め込む工程と、前記半導体角柱の上層の前記第1導電型の導電層と接続した配線層を形成する工程とを具備することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項2】 半導体基板の第1導電型の半導体領域上に素子分離用絶縁膜を形成し互いに隣接し前記半導体領域に達する開口部を形成する工程と、

(a) 前記半導体領域と直接的もしくは間接的に接続した第1導電型、第2導電型及び第1導電型の順に積層した導電層からなり、互いに隣接した複数の半導体角柱を形成する工程と、

(b) 複数の前記半導体角柱の前記第2導電型の導電層領域の側壁に第1の絶縁膜を介して各々独立した第1の導電膜を形成する工程と、

(c) 複数の前記第1の導電膜の側壁に第2の絶縁膜を介して第2の導電膜を形成し、隣接する複数の半導体角柱間でこの第2の導電膜を接続する工程と、

(d) 前記半導体角柱間に平坦化用絶縁膜を埋め込む工程と、を具備し、さらに前記(a)、(b)、(c)及び(d)の工程を順に複数回繰り返した後、最上層の前記半導体角柱の前記第1導電型の導電層と接続した配線層を形成する工程とを具備することを特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は不揮発性半導体記憶装置の製造方法に関する。特に、メモリセルを高密度に配置した不揮発性メモリセルの製造方法に関する。

【0002】

【従来の技術】 従来より、不揮発性半導体記憶装置には、半導体基板と逆導電型のソース及びドレイン間のチャネル領域上に絶縁膜を介して浮遊ゲート及び制御ゲートを積層形成したMOSトランジスタをメモリセルとして用いている。しかし、このメモリセルを用いて大容量の半導体記憶装置を実現する際に、ビット線とドレインとを接続するコンタクト領域（通常2メモリセルにつき一つのコンタクト領域が必要となる）が高密度化の障害になっていた。

【0003】 ここで、1メモリセル当たりのコンタクト

領域の占める割合を大幅に低減するため、複数の積層ゲート型MOSトランジスタのソース・ドレインを直列に接続したメモリセルを用いた不揮発性半導体記憶装置が開発されるに至っている。このようなメモリセルをNAND型メモリセルと呼び、それ以前のメモリセルをNOR型メモリセルと呼ぶ。

【0004】 最小加工線幅をFとすると、NAND型メモリセルは1ビット当たりの情報記憶を理想的には $6F^2$ の面積で実現することができる。しかし、例えば16メモリセルを直列に接続したNAND型メモリセルの場合、32ビット毎にやはりコンタクトは必要となり、さらに、ソース側及びドレイン側の2種の選択トランジスタをそれぞれ設ける必要がある。この結果、理想的なほどにはメモリセル面積を低減することはできない。

【0005】

【発明が解決しようとする課題】 上記したように、メモリセル面積を低減するために、NAND型メモリセルが開発されたが、ビット線コンタクトや選択トランジスタ等が存在するため、十分にセル面積を低減することができないという問題があった。さらに、NOR型、NAND型共に浮遊ゲートを各メモリセル毎に分離する工程が必要となるため、マスク合わせを含めた工程数が増大するという問題もあった。本発明は、上記欠点を除去し、簡易な製造工程により、高密度メモリセルを実現した不揮発性半導体記憶装置の製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】 上記目的を達成するため、本発明では、第一の手段として、半導体基板の第1導電型の半導体領域上に第1導電型、第2導電型及び第1導電型の順に導電層が積層し、互いに隣接した複数の半導体角柱を形成する工程と、複数の半導体角柱の前記第2導電型の導電層領域の側壁に第1の絶縁膜を介して各々独立した第1の導電膜を形成する工程と、この側壁に第2の絶縁膜を介して第2の導電膜を形成し、隣接する複数の半導体角柱間でこの第2の導電膜を接続する工程と、半導体角柱間に平坦化用絶縁膜を埋め込む工程と、半導体角柱の上層の第1導電型の導電層と接続した配線層を形成する工程とを具備することを特徴とする不揮発性半導体記憶装置の製造方法を提供する。

【0007】 また、第二の手段として、半導体基板の第1導電型の半導体領域上に素子分離用絶縁膜を形成し互いに隣接し半導体領域に達する開口部を形成する工程と、(a) 半導体領域と直接的もしくは間接的に接続した第1導電型、第2導電型及び第1導電型の順に導電層が積層し、互いに隣接した複数の半導体角柱を形成する工程と、(b) 複数の半導体角柱の第2導電型の導電層領域の側壁に第1の絶縁膜を介して各々独立した第1の導電膜を形成する工程と、(c) 複数の第1の導電膜の側壁に第2の絶縁膜を介して第2の導電膜を形成し、隣

3

接する複数の半導体角柱間でこの第2の導電膜を接続する工程と、(d)半導体角柱間に平坦化用絶縁膜を埋め込む工程とを具備し、さらにこれら(a)、(b)、(c)及び(d)の工程を順に複数回繰り返した後、最上層の半導体角柱の第1導電型の導電層と接続した配線層を形成する工程とを具備することを特徴とする不揮発性半導体記憶装置の製造方法を提供する。

【0008】

【作用】本発明で提供する第1の手段を用いると、半導体角柱の側壁に形成した第1の導電膜が浮遊ゲートとして、この浮遊ゲートの外側に巻き巻いて形成した第2の導電膜が制御ゲートとして作用する。浮遊ゲートは半導体角柱の側壁に形成するため、マスク合わせにより各セル毎に当該浮遊ゲートを切り放す工程が必要なく、いわばセルフアラインで形成することができる。さらに、浮遊ゲートの膜厚により半導体角柱間の間隙が狭まっているため、この浮遊ゲートの側壁に第2の絶縁膜を介して第2の導電膜を形成すると、隣接する半導体角柱間で、当該第2の導電膜が接続される。この結果、互いに隣接する半導体角柱間で接続されたワード線形状の制御ゲートが自然に、いわばセルフアラインで形成することができる。従って、簡単な製造工程によって、浮遊ゲート、制御ゲートのどちらをもセルフアラインで形成する不揮発性半導体記憶装置の製造方法を提供できる。

【0009】また、本発明の製造方法を用いて形成した不揮発性半導体メモリセルは、縦型であり、角柱の下部がソース電極、上部がドレイン電極として作用するため、ビット線コンタクトとして占める領域を、平面的に、メモリセルのチャネル領域とオーバーラップさせることができる。従って、NAND型メモリセルよりも1ビット当たりの占有面積の小さなメモリセルを提供することができる。

【0010】さらに、本発明で提供する第2の手段を用いると、(a)から(d)までのステップによって形成されるメモリセル層のうち、当該メモリセル層に属する半導体角柱の下部がソース電極、上部がドレイン電極として作用する。従って、各層を連続的に形成することが可能となり、縦型のNAND型メモリセルを実現することが可能になる。これによって、さらに高密度のメモリセルを実現することが可能になる。

【0011】

【実施例】以下、本発明の各実施例を図面を参照して説明する。はじめに、図1から図5を参照して、第1の実施例を説明する。図5は本発明の不揮発性半導体記憶装置に用いるメモリセルの断面図及びその等価回路図である。図5(a)に示すように、このメモリセルは、P型の半導体基板上101表面に形成されたN型拡散層領域103と、素子分離用絶縁膜105と、この開口部より半導体基板101に接続され、N型層109、P型層111及びN型層113が積層された半導体角柱107

4

と、この半導体角柱107側壁に順に積層形成されたゲート絶縁膜115、ポリシリコン膜117、ゲート間絶縁膜119、ポリシリコン膜121とからなる。ポリシリコン膜117は各半導体角柱107毎に独立しているが、ポリシリコン膜121は隣接する半導体角柱毎に接続されている(図5で示した方向に隣接する半導体角柱間では接続されていないが、図示しない紙面垂直方向の半導体角柱間では接続されている)。さらに、このメモリセルは、半導体角柱間を埋め込んだ平坦化用の層間絶縁膜123と、金属配線125とからなる。

【0012】図5(b)は、(a)に示したメモリセルの等価回路を示している。ビット線BLと共通ソース線SLとの間に並列に接続された複数の浮遊ゲート付きMOSトランジスタQ1からなる。ビット線BLは金属配線125に、共通ソース線SLはN型拡散層領域103に相当し、MOSトランジスタQ1の浮遊ゲートはポリシリコン膜117に、制御ゲートはポリシリコン膜121に相当する。さらに、N型層109はソース電極に、P型層111はチャネル領域に、N型層113はドレイン電極にそれぞれ相当する。

【0013】続いて、本発明の第1の実施例の製造工程を図1から図5を参照して説明する。P型単結晶シリコンからなる半導体基板101表面にイオン注入により約1 μ mの深さのN型拡散層領域103を形成する。この半導体基板101表面を熱酸化することにより約0.5 μ mの膜厚の素子分離用絶縁膜105を熱酸化により形成する。この素子分離用絶縁膜105の所定の領域を、最小加工線幅を1 μ mとする正方形のマスクを用いてリアクティブイオンエッチング等の手法を用いて選択的に除去し、最小加工線幅が0.5 μ mの場合は、0.5 μ m \times 0.5 μ mの開口部を複数形成する。この開口部は行列状に形成され、列方向には最小加工線幅の二倍の間隔を空けて、行方向には最小加工線幅と同幅の間隔を空けて配置する。開口により露出した半導体基板101を種結晶とし、単結晶成長技術(ラテラルエピタキシー法)を用いて半導体層を形成する。この単結晶成長中に不純物を混入させ、下層から順に0.5 μ mの膜厚のN型層109、0.8 μ mの膜厚のP型層111及び0.8 μ mの膜厚のN型層113となるように半導体層を順次形成する。ここで、必要に応じてレーザーアニール法もしくは電子アニール法等を用いて結晶性を向上させても良い。上述したように、P型層111はトランジスタのチャネル領域として使用するため、不純物濃度の十分な制御が必要となる。最適なP型不純物濃度は $5 \times 10^{18} \text{ cm}^{-3}$ 程度である。続いて、単結晶成長させたシリコン積層層を0.7 μ m \times 0.7 μ mの平面積となるようリアクティブイオンエッチング等を用いて正方形に加工し、半導体角柱107を形成する。(図1参照。ただし(a)は平面図、(b)はA-A'領域の断面図を示している。)続いて、半導体角柱107の側面にゲート

5

絶縁膜となる約10nmの第1の絶縁膜115を熱酸化により形成する。全面に0.4 μ mの膜厚の高濃度N型不純物がドーパされたポリシリコン膜を形成し、リアクティブイオンエッチング法を用いてエッチバックを行い、半導体角柱107の側壁のみにポリシリコン膜117を残存させる。ここで、P型層111の側部が完全にポリシリコン膜117で覆われるようにエッチングの制御を行う。続いて、ポリシリコン膜117の側面にゲート間絶縁膜となる約10nmの第2の絶縁膜119を熱酸化により形成する。ここで、第2の絶縁膜119は熱酸化膜に限らず、酸化膜・窒化膜・酸化膜からなる複合膜であってもよい。(図2参照。ただし(a)は平面図、(b)はA-A'領域の断面図を示している。) 続いて、全面に0.4 μ mの膜厚の高濃度N型不純物がドーパされたポリシリコン膜を形成し、リアクティブイオンエッチング法を用いてエッチバックを行い、半導体角柱107の側壁及び隣接する半導体角柱間の領域にポリシリコン膜121を残存させる。なお、このポリシリコン膜はシリサイド膜、ポリサイド膜、高融点金属膜等を用いることも可能である。ここで、列方向に隣接する半導体角柱107-1、107-2間は最小加工線幅の間隔であるため、ポリシリコン膜121はお互いに連結するが、行方向に隣接する半導体角柱107-1、107-3間は最小加工線幅の二倍の間隔であるためポリシリコン膜121は互いに連結しない。(図3参照。ただし(a)は平面図、(b)はA-A'領域の断面図を示している。) 続いて、全面に酸化膜を2.5 μ mの膜厚で形成した後、フッ化アンモニウム液等を用いて全面にエッチバックを行い、半導体角柱107の上層部を露出させ、半導体角柱間の領域を酸化膜123で埋め込む。(図4参照) 続いて、アルミニウムを全面にスパッタ法等により堆積させ、これをビット線形状にパターニングすることにより、金属配線125を形成する。なお、金属配線はアルミニウム・シリコン・銅からなる合金や銅、チタン・窒化チタン等のバリアメタルを用いた多層膜等から形成してもよい。(図5参照) このように、第一の実施例によると、半導体角柱107の側壁に形成したポリシリコン膜117、すなわち、第1の導電膜が浮遊ゲートとして、この浮遊ゲートの外側に取り巻いて形成したポリシリコン膜121、すなわち、第2の導電膜が制御ゲートとして作用する。浮遊ゲートは半導体角柱の側壁に形成するため、マスク合わせにより各セル毎に当該浮遊ゲートを切り放す工程が必要なく、いわばセルフアラインで形成することができる。さらに、浮遊ゲートの膜厚により半導体角柱間の間隙が狭まっているため、この浮遊ゲートの側壁に第2の絶縁膜119を介してポリシリコン121を形成すると、隣接する半導体角柱間で、これらが接続される。この結果、互いに隣接する半導体角柱間で接続されたワード線形状の制御ゲートが自然に、いわばセルフアラインで形成することがで

6

きる。従って、簡単な製造工程によって、浮遊ゲート、制御ゲートのどちらをもセルフアラインで形成することができる。

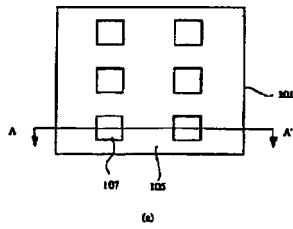
【0014】また、本実施例の不揮発性半導体メモリセルは、縦型であり、角柱の下部がソース電極、上部がドレイン電極として作用するため、ビット線コンタクトとして占める領域を、平面的に、メモリセルのチャネル領域とオーバーラップさせることができる。この結果、理想的な6F²の面積で1ビットを実現できる。従って、NAND型メモリセルよりも1ビット当たりの占有面積の小さなメモリセルを形成できる。

【0015】さらに、第1の実施例で形成したメモリセルはNOR型の接続であり、NAND型よりも読み出しが一般に高速である。さらに、トランジスタはサラウンドゲート形状(半導体角柱を制御ゲートが覆っている形状)となっているため、非選択時に確実にオフし、選択時に消去状態のメモリセルであれば確実にオンすることができる(一般のプレーナ型よりもよりコンダクタンスが大きくなる)。従って、高速化にはさらに有利である。

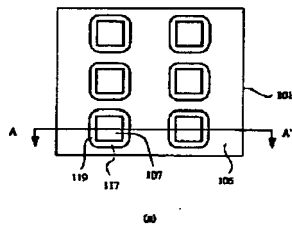
【0016】続いて、本発明の第2の実施例を図6を参照して説明する。図6は本発明の不揮発性半導体記憶装置に用いるメモリセルの断面図及びその等価回路図である。図5(a)に示すように、このメモリセルは、10層のメモリセル層131……140からなり、各々のメモリセル層は第1の実施例で説明したメモリセル構造とほぼ同様の形状であるため、対応する要素には同様の番号を符している。すなわち、P型半導体基盤101と、N型拡散層領域103と、素子分離用絶縁膜105上に第一層目のメモリセル層131及び上層のメモリセル層が形成され、各メモリセル層はN型層109、P型層111及びN型層113が積層された半導体角柱107と、この半導体角柱107側壁に順に積層形成されたゲート絶縁膜115、ポリシリコン膜117、ゲート間絶縁膜119、ポリシリコン膜121とからなる。ポリシリコン膜117は各半導体角柱107毎に独立しているが、ポリシリコン膜121は隣接する半導体角柱毎に接続されている(図5で示した方向に隣接する半導体角柱間では接続されていないが、図示しない紙面垂直方向の半導体角柱間では接続されている)。さらに、このメモリセル層には、半導体角柱間を埋め込んだ平坦化用の層間絶縁膜123が形成されており、最上層には金属配線125が形成されている。

【0017】図6(b)は、(a)に示したメモリセルの等価回路を示している。ビット線BLと共通ソース線SLとの間に直列に複数個接続された浮遊ゲート付きMOSトランジスタQ1……Q10からなる。ビット線BLは金属配線125に、共通ソース線SLはN型拡散層領域103に相当し、MOSトランジスタQ1の浮遊ゲートはポリシリコン膜117に、制御ゲートはポリシリコ

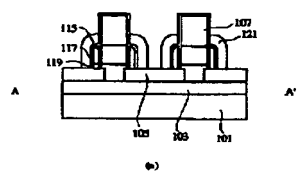
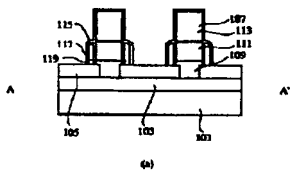
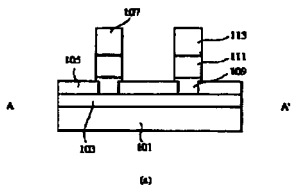
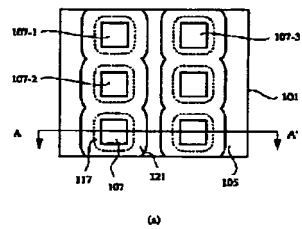
【図 1】



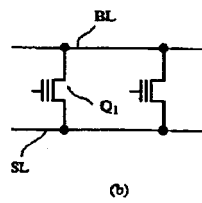
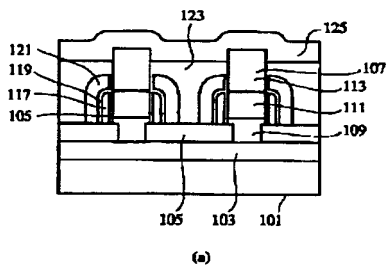
【図 2】



【図 3】



【図 5】



【図 6】

